

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of  
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

# 公開実用 昭和60— 136156

⑬ 日本国特許庁(JP)

⑭ 実用新案出願公開

⑫ 公開実用新案公報(U) 昭60-136156

⑮ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑯ 公開 昭和60年(1985)9月10日

H 01 L 27/04  
21/70

L-8122-5F  
6655-5F

審査請求 未請求 (全 頁)

⑰ 考案の名称 半導体装置

⑱ 実 願 昭59-24026

⑲ 出 願 昭59(1984)2月21日

⑳ 考 案 者 大 田 康 夫 大津市晴嵐2丁目9番1号 関西日本電気株式会社内

㉑ 出 願 人 関西日本電気株式会社 大津市晴嵐2丁目9番1号

㉒ 代 理 人 弁理士 江 原 省 吾 外1名

明 細 書

1. 考案の名称

半導体装置

2. 実用新案登録請求の範囲

(1) 半導体基板上に複数段に各段毎に絶縁層を介して渦巻状金属層を順次直列接続して形成してなるインダクタンス素子を有することを特徴とする半導体装置。

3. 考案の詳細な説明

イ. 産業上の利用分野

この考案は半導体基板にインダクタンス素子を含む各種回路素子を形成し配線したIC等の半導体装置に関する。

ロ. 従来技術

例えばICは1つの半導体基板にトランジスタやダイオード、抵抗などの各種回路素子を形成し配線している。この回路素子の配線はアルミニウム蒸着で配線パターンを半導体基板上に形成することで行われ、特に半導体基板への回路素子の高密度配置を可能にする目的で前記配

(1)

## 公開実用 昭和60— 136156

線パターンは絶縁層を介して複数段に順次形成した多層配線構造が一般に採用されている。

また半導体基板に形成される回路素子の内、トランジスタ素子やダイオード素子、抵抗素子などは半導体基板内に不純物の選択拡散の手段で一括的に形成されるが、特にインダクタンス素子は前述方法で形成できず、これは通常半導体基板上に渦巻状に金属層をアルミニウム蒸着等で被着して形成される。例えば第1図及び第2図に従来半導体装置におけるインダクタンス素子例を示すと、(1)は半導体基板、(2)

(2)は半導体基板(1)内に不純物選択拡散等の手段で形成したトランジスタ素子等の複数の回路素子、(3)は半導体基板(1)の表面に酸化膜等の絶縁層(4)を介して形成した渦巻状の金属層で、この単層の金属層(3)で1つのインダクタンス素子(5)が構成される。金属層(3)の両端部は例えば絶縁層(4)の2箇所を選択除去した窓孔(4')(4')を通して2つの回路素子(2)(2)の電極部

(2)

分に電氣的接続される。このインダクタンス素子(5)は回路素子(2)(2)……を配線する配線パターン(図示せず)を形成する時に同時に、或は配線パターンとは別の工程で単独的に形成される。

ところで、インダクタンス素子(5)のインダクタンス値には大小様々なものが要求され、小さなものはインダクタンス素子(5)の半導体基板(1)上に占める占有面積を大きくすること無く金属層(3)のターン数を少なくする等の設計変更で対処できるが、インダクタンス素子(5)の半導体基板(1)上での占有面積が決まっていると金属層(3)のターン数に限界があってインダクタンス値に自ずと上限があり、これを超えてインダクタンス値を大きくする場合はその超えた分に相応してインダクタンス素子(5)の半導体基板(1)上での占有面積を拡大せざるを得なかった。しかし、この面積拡大は他の回路素子(2)(2)……との関連があって実施が難しく、特に回路素子(2)

(3)

## 公開実用 昭和60— 136156

(2) の高密度配置が要求されるものにおいて難しく改善策が要望されていた。

ハ、考案の目的

本考案は上記要望に応じるもので、所定の占有面積でより大きなインダクタンス値を持つインダクタンス素子を有する半導体装置を提供することを目的とする。

ニ、考案の構成

本考案は半導体基板上に複数段に各段毎に絶縁層を介して渦巻状の金属層を直列接続して積層形成した多層構造のインダクタンス素子を有することを特徴とする。この多層構造のインダクタンス素子は他の回路素子間の多層配線パターンと同様な手段にて同時又は別工程で形成される。このようなインダクタンス素子のインダクタンス値は直列接続された各層の金属層のインダクタンス成分のインダクタンス値を合計した値であり、従って従来と同一の占有面積でインダクタンス素子を形成してもそのインダクタンス値が従来の数倍もの大きさを持つものが得

(4)

られる。

#### ホ. 実施例

第3図乃至第5図の一実施例において、(6)は半導体基板、(7)は半導体基板(6)内に不純物選択拡散等で形成したトランジスタ素子や抵抗素子などの回路素子、(8)は半導体基板(6)上に形成した1つのインダクタンス素子で、この実施例の特徴はインダクタンス素子(8)を多層構造、例えば下層の渦巻状金属層( $K_1$ )と上層の渦巻状金属層( $K_3$ )、及び両金属層( $K_1$ )( $K_3$ )の両者を電氣的に直列接続する直線状の中間金属層( $K_2$ )の3層構造で形成することである。下層の金属層( $K_1$ )と上層の金属層( $K_3$ )は共に同一寸法、形状のもので、下層の金属層( $K_1$ )の内側端部と上層の金属層( $K_3$ )の外側端部とが中間金属層( $K_2$ )で接続して両金属層( $K_1$ )( $K_3$ )を直列接続した1つのインダクタンス素子(8)が形成される。また(9)~(12)は積層された第1~第4絶縁層で、次の製造の

(5)



## 公開実用 昭和60— 136156

過程で順次形成される。

上記インダクタンス素子(8)は半導体基板(6)に回路素子(7)、(7)……を形成してから形成されるが、半導体基板(6)上に回路素子(7)、(7)……の配線パターンを多層構造で形成する場合は、この配線パターンと同時に併行させて形成すればよく、その要領は多層配線パターンの形成要領とほぼ同一で、具体例を第6図乃至第10図を参照して説明する。

先ず第6図の(a)、(b)に示すように半導体基板(6)上に回路素子(7)、(7)……の形成工程で形成された第1絶縁層(熱酸化膜 $\text{SiO}_2$ など)(9)上に下層の金属層( $\text{K}_1$ )をアルミニウム蒸着で形成する。この時金属層( $\text{K}_1$ )の外側端部の形成予定部分に相当する第1絶縁層(9)の一部に予め窓孔(13)を形成しておき、この窓孔(13)を通して金属層( $\text{K}_1$ )の外側端部を例えば1つの回路素子(7)に電気的接続させる。次に第7図の(a)と(b)に示すように第1絶縁層(9)と金属層( $\text{K}_1$ )

(6)

上に第2絶縁層(10)をCVD(Chemical Vapor Deposition)法等の手段で形成してから、金属層( $K_1$ )の内側端部上の第2絶縁層(10)に窓孔(14)を形成する。而る後、第2絶縁層(10)上の金属層( $K_1$ )の両端部を結ぶ線上に中間金属層( $K_2$ )を第8図の(a)と(b)に示すように形成し、その後第9図の(a)と(b)に示すように第2絶縁層(10)と中間金属層( $K_2$ )上に第3絶縁層(11)を形成して、第3絶縁層(11)の中間金属層( $K_2$ )の外側端部に対向する部分に窓孔(15)を形成する。そして第3絶縁層(11)上に下層の金属層( $K_1$ )と対向するパターンで上層の金属層( $K_3$ )を第10図の(a)と(b)に示すように形成する。後は上層の金属層( $K_3$ )の内側端部を他の配線パターン(図示せず)に配線する等しておいて、第3絶縁層(11)と上層の金属層( $K_3$ )上に保護用の第4絶縁層(12)を形成する。

このように形成されたインダクタンス素子

## 公開実用 昭和60— 136156

(8) のインダクタンス値は2つの金属層 ( $K_1$ ) ( $K_3$ ) のインダクタンス値の和と等しい。いま1つの金属層 ( $K_1$ ) が従来と同一寸法、形状のものであるとすると、上記実施例のインダクタンス素子 (8) は従来の一の占有面積で形成され、従来の2倍のインダクタンス値を有することが分る。逆に従来と同一のインダクタンス値のインダクタンス素子を形成する場合はインダクタンス素子の占有面積が従来の約 $\frac{1}{2}$ に縮小化されることが分る。

次に本考案の他の各実施例を第11図と第12図を参照して説明する。

第11図は下層と上層の渦巻状金属層 ( $K_1'$ ) ( $K_3'$ ) を互いに逆回り方向のパターンで形成したもので、この場合は両金属層 ( $K_1'$ ) ( $K_3'$ ) の内側端部間が直接に電氣的接続される。

第12図は鉄心入りインダクタンス素子構造に適用したものを示す。即ち、下層と上層の渦巻状金属層 ( $K_1''$ ) ( $K_3''$ ) の中心部に1つ

(8)

のフェライト等のコア部材(16)を形成する。

このコア部材(16)は磁性粉末と溶剤とバインダの混練物をスクリーン印刷等で段階的に積層して後で焼成することにより形成される。この焼成はアルミニウム蒸着による配線パターンのアニール処理(加熱処理)時の熱で行えば問題無く行える。

尚、本考案は上記実施例に限らず、インダクタンス素子を構成する各層の渦巻状金属層の数や形状、ターン数は必要なインダクタンス値に応じ変更される。

へ。考案の効果

以上説明したように、本考案によれば半導体基板上のインダクタンス素子のインダクタンス値を占有面積を増加させること無く増大させることが容易に可能となり、また従来と同じインダクタンス値のインダクタンス素子を形成する場合はその専有面積の大幅な縮小化が可能で半導体基板における各種回路素子のより高密度配置を可能にする。

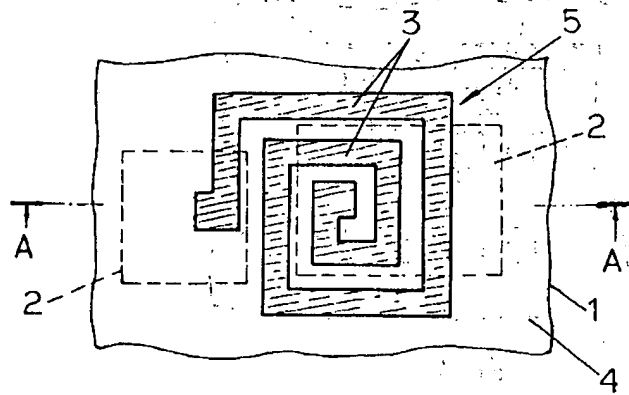
## 公開実用 昭和60— 136156

## 4. 図面の簡単な説明

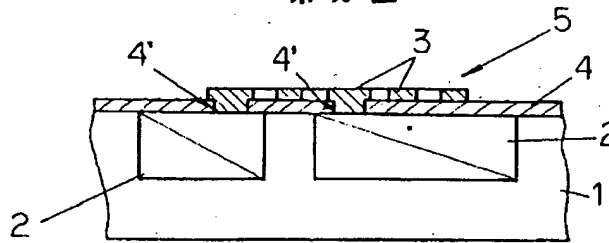
第1図は従来の半導体装置における半導体基板の部分平面図、第2図は第1図のA-A線に沿う断面図、第3図は本考案の一実施例を示す部分平面図、第4図は第3図のB-B線に沿う断面図、第5図は第3図の要部の概略斜視図、第6図乃至第10図は第3図におけるインダクタンス素子の製造工程例を示すもので、第6図乃至第10図の各(a)は部分平面図、第6図乃至第10図の各(b)は第6図乃至第10図の各(a)のC-C線、D-D線、E-E線、F-F線、G-G線に沿う断面図であり、第11図及び第12図は本考案の他の二実施例を示す各々要部の概略斜視図である。

(6)・・・半導体基板、(8)・・・インダクタンス素子、(9)～(12)・・・絶縁層、  
(K<sub>1</sub>) (K<sub>1</sub>') (K<sub>1</sub>'')・・・渦巻状金属層、(K<sub>3</sub>) (K<sub>3</sub>') (K<sub>3</sub>'')・・・渦巻状金属層。

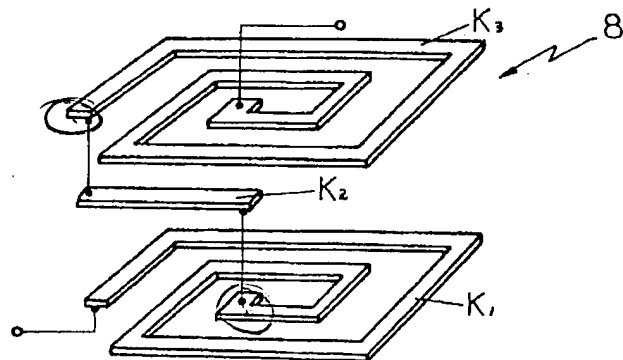
第 1 圖



第 2 圖



第 5 圖



出願人代理人

江 原 省

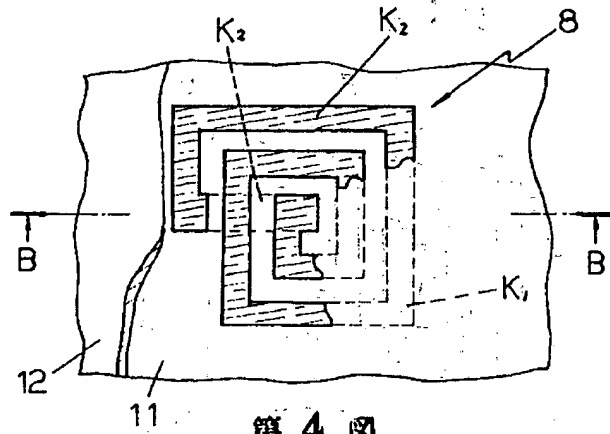
吾 外 一 名

571

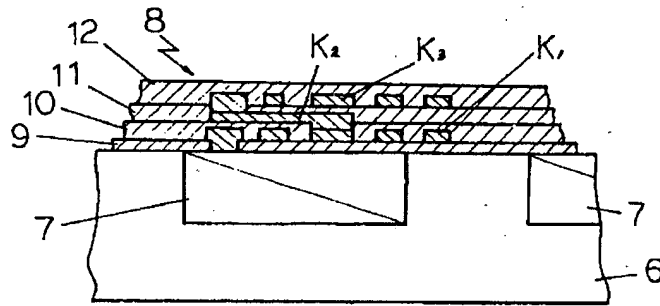
実開CO-136156

公開実用 昭和60— 136156

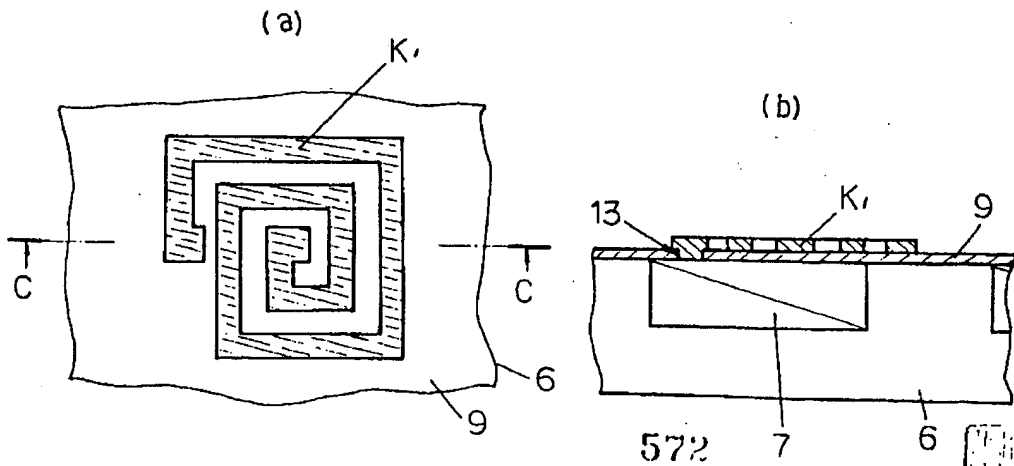
第3図



第4図

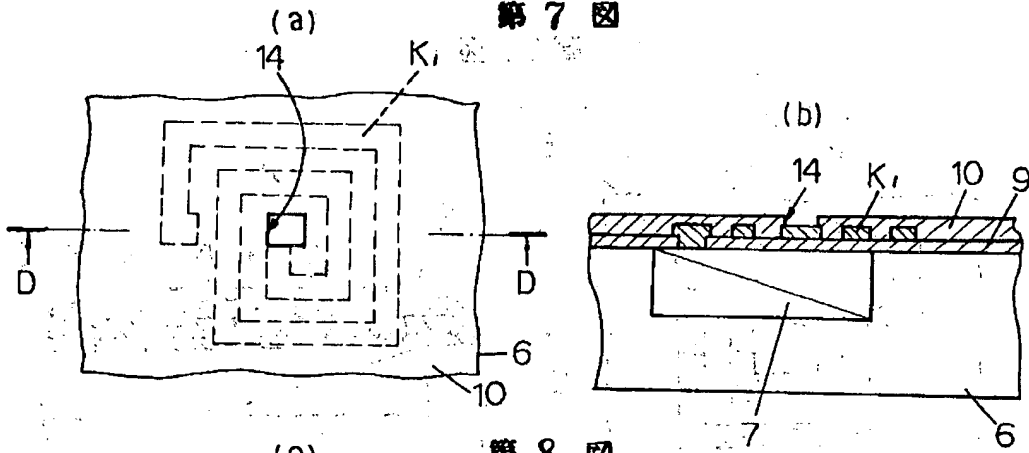


第6図

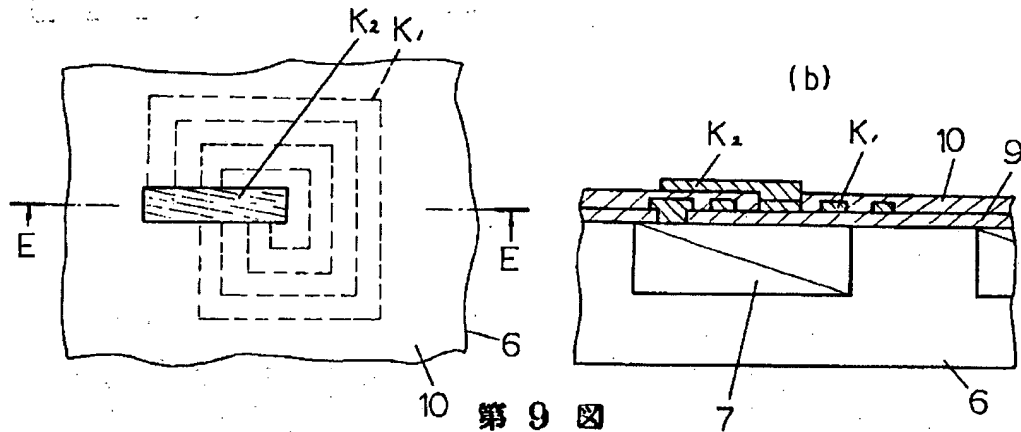


572

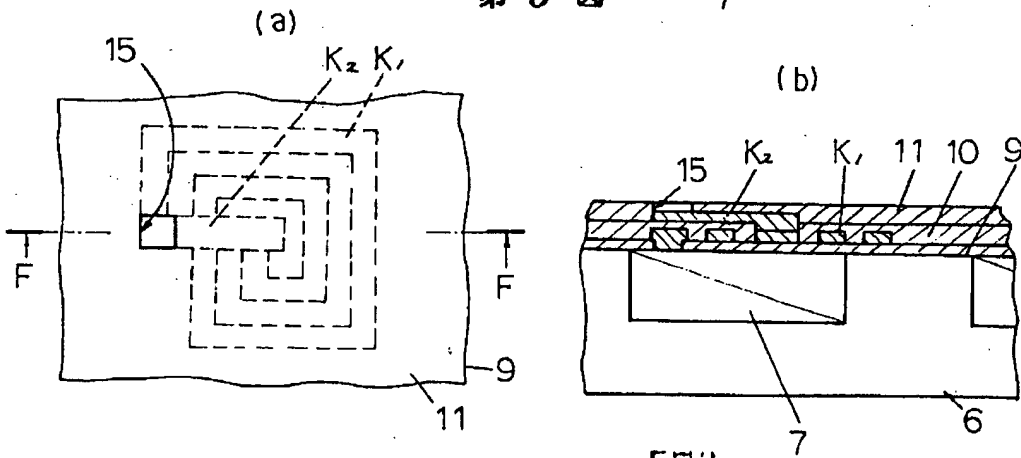
第 7 图



第 8 图



第 9 图



57.3

出 願 人 代 理 人

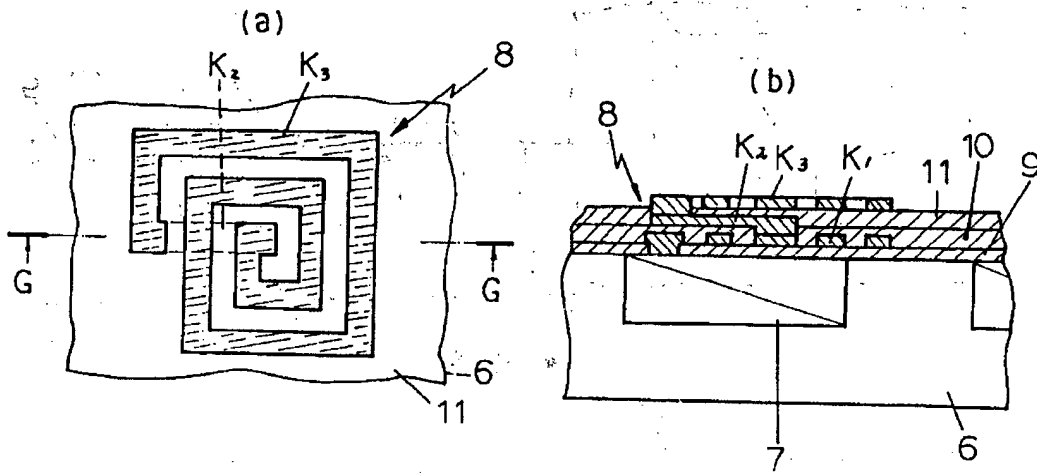
実 開 CO-1361

江 原 省 吉 野 市 外 一 番

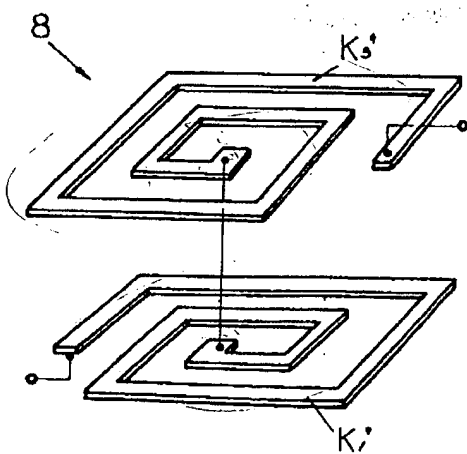


公開実用 昭和 60— 136156

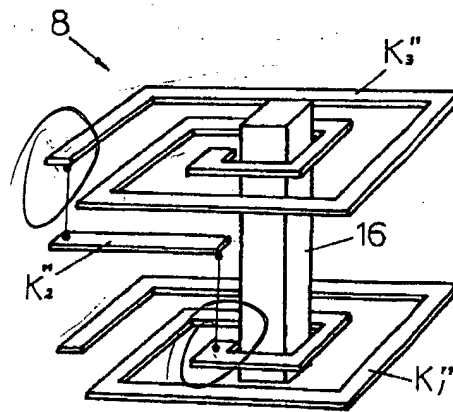
第10図



第11図



第12図



出願人代理人



江 原 省 吾 外 一 名

実 冊 60-136156 57.1

100-10000

100-10000

100-10000

100-10000

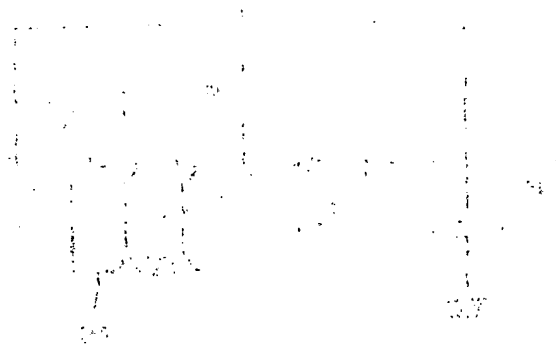
100-10000 100-10000

100-10000 100-10000

100-10000 100-10000 100-10000

100-10000

100-10000



100-10000 100-10000 100-10000

100-10000 100-10000 100-10000

**THIS PAGE BLANK (USPTO)**

100-10000 100-10000 100-10000